

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年9月29日 (29.09.2005)

PCT

(10) 国際公開番号  
WO 2005/091374 A1

(51) 国際特許分類: H01L 29/786, 21/336

(21) 国際出願番号: PCT/JP2005/005137

(22) 国際出願日: 2005年3月22日 (22.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 优先権データ:  
特願2004-080370 2004年3月19日 (19.03.2004) JP

(71) 出願人(米国を除く全ての指定国について): 日本電気  
株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001  
東京都港区芝五丁目7番1号 Tokyo (JP).

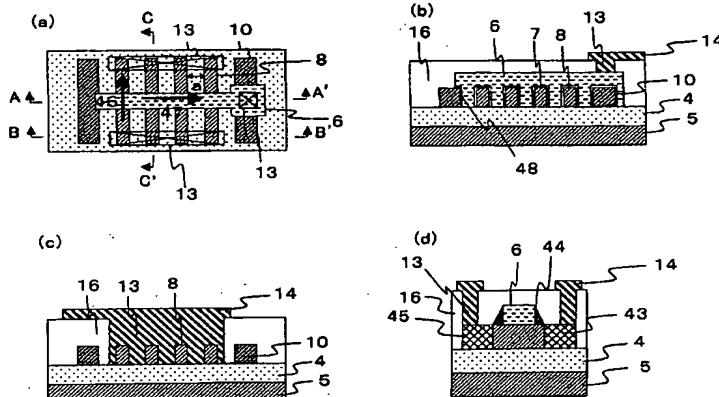
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 山上 滋春 (YAMAGAMI, Shigeharu) [JP/JP]; 〒1088001 東京都港区  
芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).  
若林 整 (WAKABAYASHI, Hitoshi) [JP/JP]; 〒1088001  
東京都港区芝五丁目7番1号 日本電気株式会社  
内 Tokyo (JP). 竹内 潔 (TAKEUCHI, Kiyoshi) [JP/JP];  
〒1088001 東京都港区芝五丁目7番1号 日本電気  
株式会社内 Tokyo (JP). 小椋 厚志 (OGURA, Atsushi)  
[JP/JP]; 〒1088001 東京都港区芝五丁目7番1号 日  
本電気株式会社内 Tokyo (JP). 田中 聖康 (TANAKA,  
Masayasu) [JP/JP]; 〒1088001 東京都港区芝五丁目  
7番1号 日本電気株式会社内 Tokyo (JP). 野村 昌弘  
(NOMURA, Masahiro) [JP/JP]; 〒1088001 東京都港区  
芝五丁目7番1号 日本電気株式会社内 Tokyo (JP).

/続葉有/

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



WO 2005/091374 A1

(57) Abstract: A semiconductor device comprising a first semiconductor region and a second semiconductor region is characterized in that (a) the first semiconductor region constitutes a field effect transistor wherein at least one semiconductor layer is so formed as to project upward from a base, a gate electrode is so formed as to straddle the semiconductor layer via an insulating film, and source/drain regions are so formed on both sides of the semiconductor layer as to sandwich the gate electrode between them, so that channel regions are formed at least on both lateral surfaces of the semiconductor layer, and (b) the second semiconductor region has semiconductor layers projecting upward from the base which are so formed on both sides of the first semiconductor region as to straddle the first semiconductor region at least in the direction perpendicular to the flow direction of the channel current and lateral surfaces of the semiconductor layers on the side of the first semiconductor region are parallel to the flow direction of the channel current.

(57) 要約: 第1の半導体領域と、第2の半導体領域とを備えた半導体装置であって、(a) 該第1の半導体領域は、基体から上方に突起した少なくとも1つの半導体層を有し、該半導体層を跨ぐように絶縁膜を介してゲート電極が設けられ、該半導体層の前記ゲート電極を挟んだ両側にソース/ドレイン領域が設けられて、該半導体層の少なくとも両側面にチャネル領域が形成される電界効果型トランジスタが構成され、(b) 前記第2

/続葉有/



武田 晃一 (TAKEDA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 辰巳 徹 (TATSUMI, Toru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 渡部 宏治 (WATANABE, Koji) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 寺島 浩一 (TERASHIMA, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒1070052 東京都港区赤坂 1 丁目 9 番 20 号 第 16 興和ビル 8 階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。